

#5  
PATENT

11017 U.S. PTO

10/092725



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of

Akihiro WATABE et al.

Serial No.: New Application

Group Art Unit: Unassigned

Filed: March 8, 2002

Examiner: Unassigned

For: VIDEO ENCODING APPARATUS, VIDEO ENCODING  
METHOD, AND FRAME RATE CONVERSION APPARATUS

CLAIM FOR PRIORITY

Commissioner for Patents  
Washington, D.C. 20231

Sir:

The benefit of the filing date of the following prior foreign application filed in the following country is hereby requested for the above-identified application and the priority provided in 35 U.S.C. 119 is hereby claimed:

Japanese Patent Appln. No. 2001-064368  
filed March 8, 2001.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,

PARKHURST & WENDEL, L.L.P.

Charles A. Wendel

Registration No. 24,453

March 8, 2002

Date

CAW/mhs

Attorney Docket No. HYAE:135

PARKHURST & WENDEL, L.L.P.

1421 Prince Street, Suite 210

Alexandria, Virginia 22314-2805

Telephone: (703) 739-0220

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

11017 U.S. PTO  
10/092725  
03/08/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されて  
いる事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed  
with this Office

出 願 年 月 日

Date of Application:

2001年 3月 8日

出 願 番 号

Application Number:

特願2001-064368

出 願 人

Applicant(s):

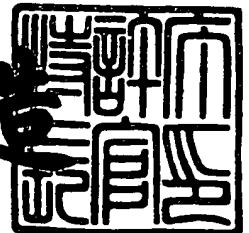
松下電器産業株式会社

CERTIFIED COPY OF  
PRIORITY DOCUMENT

2001年11月26日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



【書類名】 特許願

【整理番号】 2037820076

【提出日】 平成13年 3月 8日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 7/36  
H04N 5/92

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 渡部 彰啓

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 大谷 昭彦

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式会社内

【氏名】 豊蔵 真木

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100081813

【弁理士】

【氏名又は名称】 早瀬 憲一

【電話番号】 06(6380)5822

【手数料の表示】

【予納台帳番号】 013527

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9600402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画像符号化装置、及び画像符号化方法、フレームレート変換装置

【特許請求の範囲】

【請求項 1】 入力された画像を保持する画像メモリと、  
基準となる時刻情報を発生する基準時刻発生手段と、  
入力された画像を指定した画像メモリの所定の位置に書き込む画像入力手段と

上記画像入力手段に画像が入力された時の上記基準時刻発生手段から出力された時刻と、書き込まれた画像メモリの位置とを対応付けて記録する入力時間記録手段と、

上記画像メモリの指定された位置のデータを符号化する符号化手段と、

上記入力時間記録手段によって記録された情報を基に、上記画像入力手段と符号化手段に対して、それぞれ処理対象となる画像メモリの位置を指定する画像メモリ指定手段とを備えたことを特徴とする画像符号化装置。

【請求項 2】 請求項 1 記載の画像符号化装置において、

上記画像メモリ指定手段は、上記符号化手段に画像メモリの位置を指定する際に、符号化すべきデータの理想的な入力時刻と最も近い時刻に対応する画像メモリの位置を指定することを特徴とする画像符号化装置。

【請求項 3】 請求項 1 記載の画像符号化装置において、

上記画像メモリ指定手段は、上記画像入力手段に画像メモリの位置を指定する際に、画像メモリのデータがまだ符号化されていなければ、書き込み可能なメモリ領域が確保されるまでの間、データ入力を停止させることを特徴とする画像符号化装置。

【請求項 4】 請求項 1 記載の画像符号化装置において、

上記画像メモリ指定手段は、上記画像入力手段に画像メモリの位置を指定する際に、画像メモリのデータがまだ符号化されていなければ、最も新しい時刻に対応する画像メモリの位置を指定することを特徴とする画像符号化装置。

【請求項 5】 予測符号化を行うための画像並べ替えを行うための画像メモ

リを用いた画像符号化方法であって、

入力された画像を指定した画像メモリの所定の位置に書き込む画像入力ステップと、

上記画像が入力された時刻と、書き込まれた画像メモリの位置とを対応付けて記録する入力時間記録ステップと、

上記入力時間記録ステップにおいて記録された情報を基に、上記画像入力ステップと、符号化ステップにおいて処理対象となる画像メモリの位置を指定する画像メモリ指定ステップと、

上記画像メモリの指定されたアドレスのデータを符号化する符号化ステップと

を含むことを特徴とする画像符号化方法。

【請求項 6】 請求項 5 記載の画像符号化方法において、

上記画像メモリ指定ステップは、

上記符号化ステップにおいて画像メモリの位置を指定する際に、符号化すべきデータの理想的な入力時刻と最も近い時刻に対応する画像メモリの位置を指定するステップを含む、

ことを特徴とする画像符号化方法。

【請求項 7】 請求項 5 記載の画像符号化方法において、

上記画像メモリ指定ステップは、

上記画像入力ステップにおいて画像メモリ位置を指定する際に、画像メモリのデータがまだ符号化されていなければ、書き込み可能なメモリ領域が確保されるまでの間、データ入力を停止させるステップを含む、

ことを特徴とする画像符号化方法。

【請求項 8】 請求項 5 記載の画像符号化方法において、

上記画像メモリ指定ステップは、

上記画像入力ステップにおいて画像メモリの位置を指定する際に、画像メモリのデータがまだ符号化されていなければ、最も新しい時刻に対応する画像メモリの位置を指定するステップを含む、

ことを特徴とする画像符号化方法。

【請求項 9】 入力された画像を保持する複数のフレームメモリと、  
基準となる時刻情報を発生する基準時刻発生手段と、  
入力された画像を指定したフレームメモリのアドレスに書き込む画像入力手段  
と、

上記画像入力手段に画像が入力された時の上記基準時刻発生手段から出力され  
た時刻と、書き込まれたフレームメモリのアドレスとを記録する入力時間記録手  
段と、

符号化周期を指定する符号化周期設定信号を出力する符号化周期設定手段と、  
上記フレームメモリの指定されたアドレスのデータを符号化する符号化手段と

上記入力時間記録手段によって記録された情報と、上記符号化周期設定手段か  
ら出力された符号化周期設定信号とを基に、上記画像入力手段と符号化手段に対  
して、それぞれ処理対象となるフレームメモリのアドレスを指定する画像メモリ  
指定手段と、

を備えたことを特徴とするフレームレート変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画符号化装置、及び画像符号化方法に関し、特に、外部より入力され  
たデータを有限の期間内に圧縮・記録する場合の、垂直同期信号のずれの補正を  
行うものに関するものである。

【0002】

【従来の技術】

画像圧縮の国際標準としてMPEG2(ISO/IEC 13818-2)が上げられる。このMPEG2  
などの圧縮方法では、双方向予測によって圧縮効率を向上させるため、入力画像  
の順番を並び替えて(リオーダーリング)符号化する処理が必要である。

【0003】

NTSCの信号を入力としてリアルタイムでMPEGエンコードする場合、最初にデジ  
タル信号、たとえばD1フォーマットに変換してから符号化される。このとき、信

号の乱れや非同期クロックを利用している場合、時間的な入力がずれてしまい、結果として復号した画像が乱れてしまう現象が発生する。

#### 【0004】

このため、通常タイムベースコレクト(TBC)と呼ばれる、アナログ信号入力時の同期信号のズレを修正する処理がエンコーダの前段に必要である。

しかし、デジタル処理が普及してくると、信号の乱れというよりもクロックの非同期性によるフレーム周期のずれを抑えることの方が重要である。

#### 【0005】

このような垂直同期のずれを合わせる手法として、例えば、特開平11-261968号方法に示された、外部入力機能を有する画像圧縮記録装置のように、外部入力信号の垂直同期間隔を判定する手段を設け、スイッチャなどにより、外部入力信号が切り替わった場合に、外部入力信号の垂直同期間隔が正規の垂直同期間隔よりも短いと判定された場合に、該短くなった垂直同期信号を間引く処理を行い、また、外部入力信号の垂直同期間隔が正規の垂直同期間隔よりも長いと判定された場合に、該長くなった分だけ、外部入力信号の取り込みを停止する処理を行うことにより、不正ストリームの発生を防止する構成が考えられている。

#### 【0006】

##### 【発明が解決しようとする課題】

従来の映像符号化装置は以上のように構成されており、不正ストリームの発生を防止する構成を有するものとなっていたが、垂直同期間隔が長くなったときに外部信号の取り込みを停止するために、この期間のデータをエンコーダに供給できなくなるという問題点があった。

#### 【0007】

また、通常、エンコーダの前段には、該エンコーダに入力するデータを一時的に蓄積するバッファメモリが1フレーム分に相当する容量設けられているが、エンコーダ前段において、フレームの周期のずれを補正する処理を行おうとした場合、処理用のメモリを別途追加する必要があり、装置のサイズが大きくなったり、別回路と追加したりと、コストアップを招くという新たな問題点が生じるものであった。



## 【0008】

この発明は以上のような問題点を解消するためになされたもので、MPEGなどのエンコーダでは画像の並び替え（リオーダーリング）用のメモリがあることに注目し、この並び替えの機能をうまく利用することで、余分なメモリを追加することなく、また回路規模の増大を押さえながら、垂直同期のずれを補正することができる映像符号化装置（MPEGエンコーダ）を提供することを目的とする。

さらには、外部より入力された信号に基づいて、任意のフレームレートにて符号化を行うフレームレート変換装置を提供することを目的とする。

## 【0009】

## 【課題を解決するための手段】

本発明の請求項1にかかる画像符号化装置は、入力された画像を保持する画像メモリと、基準となる時刻情報を発生する基準時刻発生手段と、入力された画像を指定した画像メモリの所定の位置に書き込む画像入力手段と、上記画像入力手段に画像が入力された時の上記基準時刻発生手段から出力された時刻と、書き込まれた画像メモリの位置とを対応付けて記録する入力時間記録手段と、上記画像メモリの指定された位置のデータを符号化する符号化手段と、上記入力時間記録手段によって記録された情報を基に、上記画像入力手段と符号化手段に対して、それぞれ処理対象となる画像メモリの位置を指定する画像メモリ指定手段とを備えたものである。

## 【0010】

また、本発明の請求項2にかかる画像符号化装置は、請求項1記載の画像符号化装置において、上記画像メモリ指定手段は、上記符号化手段に画像メモリの位置を指定する際に、符号化すべきデータの理想的な入力時刻と最も近い時刻に対応する画像メモリの位置を指定するものである。

## 【0011】

また、本発明の請求項3にかかる画像符号化装置は、請求項1記載の画像符号化装置において、上記画像メモリ指定手段は、上記画像入力手段に画像メモリの位置を指定する際に、画像メモリのデータがまだ符号化されていなければ、書き込み可能なメモリ領域が確保されるまでの間、データ入力を停止させるものであ

る。

【 0 0 1 2 】

また、本発明の請求項 4 にかかる画像符号化装置は、請求項 1 記載の画像符号化装置において、上記画像メモリ指定手段は、上記画像入力手段に画像メモリの位置を指定する際に、画像メモリのデータがまだ符号化されていなければ、最も新しい時刻に対応する画像メモリの位置を指定するものである。

【 0 0 1 3 】

また、本発明の請求項 5 にかかる画像符号化方法は、予測符号化を行うための画像並べ替えを行うための画像メモリを用いた画像符号化方法であって、入力された画像を指定した画像メモリの所定の位置に書き込む画像入力ステップと、上記画像が入力された時刻と、書き込まれた画像メモリの位置とを対応付けて記録する入力時間記録ステップと、上記入力時間記録ステップにおいて記録された情報を基に、上記画像入力ステップと、符号化ステップにおいて処理対象となる画像メモリの位置を指定する画像メモリ指定ステップと、上記画像メモリの指定されたアドレスのデータを符号化する符号化ステップとを含むものである。

【 0 0 1 4 】

また、本発明の請求項 6 にかかる画像符号化方法は、請求項 5 記載の画像符号化方法において、上記画像メモリ指定ステップは、上記符号化ステップにおいて画像メモリの位置を指定する際に、符号化すべきデータの理想的な入力時刻と最も近い時刻に対応する画像メモリの位置を指定するステップを含むものである。

【 0 0 1 5 】

また、本発明の請求項 7 にかかる画像符号化方法は、請求項 5 記載の画像符号化方法において、上記画像メモリ指定ステップは、上記画像入力ステップにおいて画像メモリ位置を指定する際に、画像メモリのデータがまだ符号化されていなければ、書き込み可能なメモリ領域が確保されるまでの間、データ入力を停止させるステップと含むものである。

【 0 0 1 6 】

また、本発明の請求項 8 にかかる画像符号化方法は、請求項 5 記載の画像符号化方法において、上記画像メモリ指定ステップは、上記画像入力ステップにおい

て画像メモリの位置を指定する際に、画像メモリのデータが、まだ符号化されていなければ、最も新しい時刻に対応する画像メモリの位置を指定するステップを含むものである。

#### 【0017】

また、本発明の請求項9にかかるフレームレート変換装置は、入力された画像を保持する複数のフレームメモリと、基準となる時刻情報を発生する基準時刻発生手段と、入力された画像を指定したフレームメモリのアドレスに書き込む画像入力手段と、上記画像入力手段に画像が入力された時の上記基準時刻発生手段から出力された時刻と、書き込まれたフレームメモリのアドレスとを記録する入力時間記録手段と、符号化周期を指定する符号化周期設定信号を出力する符号化周期設定手段と、上記フレームメモリの指定されたアドレスのデータを符号化する符号化手段と、上記入力時間記録手段によって記録された情報と、上記符号化周期設定手段から出力された符号化周期設定信号とを基に、上記画像入力手段と符号化手段に対して、それぞれ処理対象となるフレームメモリのアドレスを指定する画像メモリ指定手段と、を備えたものである。

#### 【0018】

##### 【発明の実施の形態】

以下、図面を参照しながら本発明の実施の形態について説明を行う。

##### （実施の形態1）

図1は本発明をMPEGエンコーダに適応した実施の形態1にかかる映像符号化装置の構成を示すブロック図である。

図1に示すように、本実施の形態1のMPEGエンコーダは、入力画像101と入力クロック102が入力されるビデオ入力インターフェース103、基準時刻を発生する基準時刻発生部104、画像を符号化してビットストリーム108を出力するエンコード部106、上記基準時刻発生部104及びフレーム同期信号111を受けて、上記ビデオ入力インターフェース103、エンコード部106の動作を制御する制御部105、並べ替え用のメモリであるリオーダーリング用メモリ107とから構成されている。

#### 【0019】

詳述すると、上記リオーダーリング用メモリ107は、MPEG特有の双方向予測に対応した画像の並び替え用のメモリであり、複数のフレームメモリで構成されており、各フレームメモリはフレームメモリ番号で指定される。MPEGエンコードにおいては、画像をI, P, Bの3種類のタイプに分けて符号化される。特にBピクチャは、時間的に前の参照画像と時間的に後の参照画像とから双方向予測によって作成されるものであり、このため、当該Bピクチャよりも時間的に後（未来）の画像を先に符号化する必要がある、このような処理をリオーダと呼ばれている。

## 【0020】

エンコードに必要なリオーダーリングメモリの最低容量は一般には参照フレームどうしのフレーム間隔（通常Mと呼ばれる）に依存して決定される。本実施の形態1では4フレームを利用するものとする。

## 【0021】

上記ビデオ入力インターフェース103（画像入力手段）は、制御部105からのビデオ入力ネーブル信号113が「1」のときに、入力画像101を書き込みフレーム番号112で指定されたフレームメモリ（107）に書き込むブロックである。また、入力画像101からフレーム同期信号111を発生する。一方、上記ビデオ入力ネーブル信号が「0」のときは、フレームメモリには何もデータが書き込まれない。ただし、このときもフレーム同期信号111は発生する。

## 【0022】

上記基準時刻発生部104は、基準となる時刻を発生するものであり、ここで発生した時間情報110は上記制御部105（フレームメモリ指定手段）へ送られる。なお、この基準時刻発生部104は、入力クロック102と同期している必要はない。

## 【0023】

上記エンコード部106（符号化手段）は、リオーダーリングメモリ107中のエンコードフレーム番号で指定された画像データを符号化し、ビットストリーム108として出力する。当然このエンコードは、コーディングオーダで行われるものであるが、詳細は別途説明する。

## 【0024】

図1で示したMPEGエンコーダは、基準時刻発生部104が新たに設けられている点を除けばほぼ従来のMPEGエンコーダと同様の構成であり、従来と比較して回路規模はほとんど変わらない。

## 【0025】

以下、図1に示したMPEGエンコーダの大まかなデータフローを説明する。

入力クロック102に同期した入力画像101はビデオインターフェース部103に入力される。このビデオ入力部103は、制御部105の指定に従い、リオーダーリングメモリ107の指定されたフレームに入力画像を格納する。

そして、格納された入力画像は、符号化の順番どおりにエンコード部106で符号化されビットストリーム108として出力される。

## 【0026】

上記制御部105は、フレーム同期信号111が発生した時に時刻情報110を読みとりこれを記録する。その情報に従って、上記ビデオ入力インターフェース103、エンコード部106を制御することになる。具体的な制御方法については後述する。

## 【0027】

上記制御部105の詳細な構成を図2に示す。制御部105には、フレームメモリの個数分だけ、フレームメモリ制御用メモリ201が存在している。本実施の形態1では4フレームを利用しているので4つの領域が用意されている。各領域はそれぞれ入力時刻情報220～223を保持することができる。また、上記制御部105には、直前にエンコードされたI、Pピクチャの入力時刻を示す参照画像時間情報211、符号化済みのフレームメモリにあるデータの符号化処理された時刻を示すしきい時間情報210が保持されている。上述のように、MPEGエンコードではリオーダーと言う処理が行われるため、ある画像を符号化したからといって、その画像よりも時間的に前の時刻の画像が果たして不要であるとは言えない。また、フレーム同期を目的としているため、エンコードが終了した画像に対しても符号化を行う可能性があるため、エンコードが終了したデータが必ずしも不必要なものであるということもできない。

## 【0028】

そこで、Bピクチャの符号化後、その後に符号化されるデータは全てそのBピクチャよりも後の時刻を持つ。I、Pピクチャの符号化後、その前に符号化されるデータはその前に符号化されたI、Pピクチャの時刻よりも後の時刻を持つ。これはその後に仮にBピクチャが符号化された場合でも、そのBピクチャの前方参照時間情報がその前に符号化されたI、Pピクチャの符号化時刻に一致するからである。従って、フレームメモリより削除候補を見つけるために、しきい時間情報と参照画像時間情報の2つの時刻情報を持つようになっている。従って、フレームメモリより削除可能な候補を探し出すには、しきい時間情報よりも過去の画像は削除可能なデータであり、参照画像時間情報は、最近にエンコードされた、もしくはエンコードしようとしているI、Pピクチャの時刻を示し、しきい時間情報の計算に用いられることになる。これら参照画像時間情報210やしきい時間情報211の初期値は負の時間をとるものとする。

## 【0029】

符号化時刻発生部202は、符号化すべきフレームの理想的な入力時刻を生成するものである。この動作は後述する。

コントロール部203はフレーム同期信号111や上記符号化時刻発生部202からの信号をうけとり各種制御信号を発生する。以下、その動作フローを図3及び図4に示す。

図3は、フレーム同期信号が生成されたときのコントロール部の動作を示すフローチャートを記載した図である。

## 【0030】

STEP301で時刻情報110を取り込みSTEP302へ進む。

STEP302では、入力時刻情報220～223のうち、しきい時間情報210よりも小さいものが存在するかどうかを判定し、存在しなければ、STEP303へ進み、存在すればSTEP304に進む。この判定処理により、フレームメモリであるリオーダーリングメモリ107に保持されているデータのうち符号化済みで、かつ、もはや使用することのないI、P、Bピクチャの有無が分かる。

## 【0031】

ここで、しきい時間情報210よりも小さい入力時刻情報があった場合には、STEP304に進んで、入力時刻情報220～223のうちで、しきい時間情報210よりも小さいものに対応するフレームメモリ番号を書き込みフレーム番号112として出力し、後述するSTEP307へ進む。

## 【0032】

一方、上記STEP302において、しきい時間情報よりも小さい入力時刻情報がないと判定された場合には、STEP303に進み、入力時刻情報220～223のうち、参照画像時間情報211と一致するものが存在するかどうかを判定し、存在しなければ、空きフレームメモリは無いということになるので、STEP305へ進み、最新の時刻を持つデータを探す。一方、上記STEP303において、参照画像時間情報211と一致するものが存在すると判定された場合には、STEP306へ進み、ここで、そのフレームがエンコードフレームと一致するか否か判定され、一致すれば、当該フレームはエンコード中なので使用することはできず、上記同様STEP305に戻って、最新の時刻を持つデータを探すことになる。

## 【0033】

一方、上記STEP306において、フレームがエンコードフレームと一致しないと判定された場合には、書き込み可能なフレームメモリが存在することになるので、入力時刻情報220～223のうちで、参照画像時間情報211と一致するものに対応するフレームメモリ番号を、書き込みフレーム番号112として出力する。

## 【0034】

STEP305では、書き込み可能な空きフレームなしということになるので、フレームメモリに格納されたデータのうち、最新時刻を有するデータを検索して、当該データのフレーム番号を書き込み可能なフレーム番号として指定する。このデータの置き換え処理により、入力タイミングが正常に戻った時点におけるデータがスキップされることなくデコードされるようになる。

## 【0035】

STEP307以降の処理は、上記出力された書き込みフレーム番号、すなわ

ち、これからデータを書き込む先となるフレーム番号が、間違いなく書き込んで  
もよいかどうかを確認するための処理である。

## 【0036】

すなわち、STEP307では、STEP304,305,311で出力された  
書き込みフレーム番号112が、エンコードフレーム番号114と一致するかど  
うかが判定され、ここで一致しなければ、書き込んで問題がないのでSTEP  
308へ進み、ビデオ入力イネーブル信号113がイネーブル状態とされ、実際  
にメモリ107への書き込みが可能な状態となり、STEP310において、S  
TEP301で取り込んだ時間情報を、入力時刻情報220～223のうち、書  
き込みフレーム番号206に対応する領域に書き込みが行われ、処理が終了する  
。

## 【0037】

一方、上記STEP307において、書き込みフレーム番号112が、エンコ  
ードフレーム番号114と一致すると判定された場合には、書き込みを行うと、  
エンコード中のデータが破壊される可能性があるためSTEP309に進んで、  
ビデオ入力イネーブル信号113をディスエーブル状態にさせ処理を終了する。  
このようなSTEP307において、書き込む領域が無いという判定結果を生じ  
るのは通常の処理ではないが、何らかの原因でエンコード時間が必要以上に長く  
なったりすると発生する可能性がある。

## 【0038】

図4にコントロール部203の、符号化時刻発生部202の情報に基づいた処  
理フローを示す。

STEP401では、入力時刻情報220～223のうち、書き込みフレーム  
番号206に対応しているものを除いて、最もエンコード時刻情報230に近い  
ものを選択し、対応するフレーム番号をエンコードフレーム番号114として出  
力し、STEP402へ進む。

## 【0039】

STEP402では、ピクチャタイプ情報が「B」であるかどうかを判定し、  
「B」であればSTEP403へ進み、そうでなければSTEP404へ進む。



STEP 403では、入力時刻情報220～223のうちエンコードフレーム番号114に対応するものをしきい時間情報210として書き込み終了する。

【0040】

STEP 404では、参照画像時間情報211のデータをしきい時間情報210として書き込む。そして、STEP 405に進み、入力時刻情報220～223のうちエンコードフレーム番号114に対応するものを参照画像時間情報211として書き込み、処理を終了する。

【0041】

以上のように、空きフレームメモリを探すには、しきい時間情報よりも古い時刻のデータを探し（STEP 302参照）、該当するデータがあればそのデータを削除（上書き）することが可能であり、しきい時刻情報よりも古いデータがない場合には、参照画像時刻情報と同じ情報を有するフレームメモリを探し（STEP 303）、それが現在エンコード中か否かを調べ（STEP 306）、エンコード中でなければ、削除（上書き）可能なフレームメモリとして取り扱うことにより、リオーダーリング用メモリ107を使用し、符号化に支障をきたすことなくフレーム周期ズレ補正処理を行うことができる。

【0042】

次に、以上の制御に従った入力フレームに対するフレームメモリの使用状況を図5のタイミングチャートに示す。

図5の最初の欄は画像入力のタイミングを示している。なお、説明を簡単にするため、垂直同期などの期間は特に示していない。また、正常な1フレームの入力期間を1としている。

【0043】

図5では「5」のフレームの入力時間が伸びて1.5フレームかかり、その後のフレーム「6」が本来の時刻6からではなく時刻6.5から開始され、時刻7で正常な入力にもどった場合を想定している。

図5の2段目は、符号化時刻発生部202から生成されるエンコード時刻情報（エンコードする順番）230とピクチャタイプ情報（I,P,B）231を示している。

また、図5の一番下のデコード結果505では、生成された符号をデコードした結果、出力されるデータを示している。

## 【0044】

図5のように、制御部105のフローに従い符号化を行っていくと(a)の部分で正常であれば、時刻5に入力されたフレームを符号化するはずであるが、ここでは入力がまだ終了していないため、時刻4に入力されていた画像が符号化されているのが判る。

また、(b)の部分では、時刻8の入力がまだエンコードされていない時刻7の画像に上書きされていることがわかる。したがって時刻7の画像は符号化されずに結果としてスキップされている。

## 【0045】

図5からわかるように、デコード結果は時刻3の画像がフリーズし、時刻5、7の画像がスキップされるが、全体として複号化に破綻をきたすことなくうまく入力画像がデコードされていることがわかる。

## 【0046】

このように本実施の形態1によれば、基準時刻を発生する基準時刻発生部104を設け、符号化処理前の入力画像データを基準時刻発生部104から発生された時刻情報とともにリオーダーリング用のフレームメモリ107に一旦蓄積し、各フレームメモリに蓄積された画像データを画像データと同時に記録した時刻情報に従って符号化処理するようにしたので、垂直同期がずれた場合においても、時刻情報に従って順次データを符号化処理することにより、乱れた入力画像に対し違和感が少なく符号化することができる。

## 【0047】

さらに、本来備わっているリオーダーリング用のフレームメモリ107を用いて処理を行うようにしているため、メモリの増加はなく、また制御も比較的簡単に行うことができる。また、従来のエンコーダとほとんど同一の構成で実現可能であり、回路の共通化を図れるためコストアップも抑えることができる。

## 【0048】

なお、本実施の形態1では、4フレームを利用したが、もっとフレーム数が多

い場合でも同様に実現することができ、また、フレーム単位の管理ではなく、フィールド単位で同様の管理を行ってもよい。

## 【0049】

さらに、エンコードする際のエンコードパラメータを、時間情報を利用して変化させることも可能である。例えば、理想的な発生時刻との差異があまりにも大きい場合には、シーンチェンジと判定して、エンコード順番を変更するなどしてもよい。

## 【0050】

## (実施の形態2)

次に本発明の実施の形態2にかかる映像符号化装置について説明する。本実施の形態2では、画像入力間隔が短いときに最新画像を捨てる制御を行うものであり、上記実施の形態1とは、図3で示した制御フローが一部異なるのみで、基本的な構成は実施の形態1と同じである。図6は本実施の形態2における映像符号化装置の構成を示すブロック図であり、図において、105aは制御部であり、リオーダーリング用メモリ107に買い替え可能なメモリを発見できなかった場合に、フレームに格納されたデータから最新の時刻を有するものを探してデータの置き換えをすることなく、処理を終了するものであり、その結果、データのリオーダーリング用メモリ107への新しいデータの書き込みは行われず、その期間のデータの取り込みが停止される構成となっている。

## 【0051】

以下、本実施の形態2のフレーム同期信号111が入力されたときの動作フローを図7に従って説明する。

STEP601で時刻情報110を取り込み、STEP602へ進む。

STEP602では、入力時刻情報220～223のうち、しきい時間情報210よりも小さいものが存在するかどうかを判定し、存在しなければSTEP603へ進み、存在すればSTEP604に進む。

## 【0052】

STEP604に進んだ場合には、書き込み可能なフレームメモリが存在するため、入力時刻情報220～223のうちで、しきい時間情報210より小さい

ものに対応するフレームメモリ番号を書き込みフレーム番号112として出力し、STEP 608でビデオ入力イネーブル信号がイネーブル状態となり、STEP 610において入力時刻の記録を行い、処理を終了する。

## 【0053】

一方、上記STEP 603では、しきい時間情報よりも過去のデータがフレームに存在しなかったため、次に入力時刻情報220～223のうち、参照画像時間情報211に一致するものが存在するかどうかを判定し、存在しなければ、書き込む領域（メモリ）が無いことを示すので、STEP 609に進み、ビデオ入力を不可にして処理を終了する。一方、存在すればSTEP 606に進み、入力時刻情報220～223のうちで、参照画像時間情報211と一致するものに対応するフレームメモリが、エンコードフレーム番号114と一致するかどうかを判定し、一致すれば、結局、書き込み可能なメモリは存在しないことになるので、STEP 609へ進んでビデオ入力を不可にして処理を終了する。一方、一致しなければ、書き込み可能なメモリが存在することになるのでSTEP 611へ進み、入力時刻情報220～223のうちで、参照画像時間情報211と一致するものに対応するフレームメモリ番号を、書き込みフレーム番号112として出力し、STEP 608へ進む。

## 【0054】

STEP 608では、書き込みをイネーブルにするためにビデオ入力イネーブル信号113をイネーブル状態にさせ、STEP 610へ進み、STEP 601で取り込んだ時間情報を、入力時刻情報220～223のうち、書き込みフレーム番号206に対応する領域に書き込み、処理を終了する。

## 【0055】

以上、本実施の形態2では、実施の形態1で図3をあげて示したフローとほとんど同一であるが、図3のSTEP 305に相当する最大時刻を有するデータを探す処理がないことが大きな違いである。

## 【0056】

本実施の形態2における入力フレームに対するフレームメモリの使用状況を図8の動作タイミングチャートを用いて示す。

図 8 に示すように、(a) の期間で画像入力が停止され、画像 8 の入力が行われない。その他の入力動作は図 5 で示したものと同一である。

また、最終的なデコード結果は図 8 の最終段に示したようになる。図 5 と比較すると、時刻 8 の画像が出力されていた部分が、時刻 7 の画像になっている点異なるこの実施の形態 2 においても、デコード結果は正常に出力される。

#### 【 0 0 5 7 】

このように本実施の形態 2 によれば、基準時刻を発生する基準時刻発生部 1 0 4 を設け、符号化処理前の入力画像データを基準時刻発生部 1 0 4 から発生された時刻情報とともにリオーダリング用のフレームメモリ 1 0 7 に一旦蓄積し、各フレームメモリに蓄積された画像データを同時に記録した時刻情報に従って符号化処理するようにしたので、垂直同期がずれた場合においても、時刻情報に従って順次データを符号化処理することにより、乱れた入力画像に対し違和感が少なく符号化することができ、また、新たに書き込むフレームメモリの領域がない場合には、入力を 1 フレーム分停止させることとなるので、実施の形態 1 に比べて、判断フローが削減される分、処理が簡単になり処理速度の向上を図ることができる。

#### 【 0 0 5 8 】

なお、上記実施の形態 1、及び 2 では、それぞれ入力データの同期間隔が短いときの動作が異なるが、制御フロー的にはほとんど同じであるため適応的に上記処理を切り替えるような処理も簡単に行うことができる。

#### 【 0 0 5 9 】

このような切り替えを積極的に行う場合について、以下、実施の形態 3 として説明する。

#### 【 0 0 6 0 】

##### (実施の形態 3)

図 9 は本発明の実施の形態 3 にかかるフレームレート変換装置の構成を示すブロック図であり、図において、9 0 0 は外部より入力されるエンコードフレームレートであり、符号化周期設定手段を実現するものとなっている。9 0 1 は上記エンコードフレームレートを受信する制御部であり、図 1 0 はその詳細なブロッ

ク構成図を示す。図において、1001はエンコードフレームレート900を受けて、入力された符号化周期より、符号化対象フレームの理想的な入力時刻を求める符号化時刻発生手段となる符号化時刻発生部である。その他の部分については実施の形態1と同じである。

#### 【0061】

以下、動作について説明する。リオーダーリングメモリ107の書き込みや読み出しについては実施の形態1、2と同様であるので、ここではフレームレート変換処理を中心に説明する。

#### 【0062】

エンコードフレームレート900によってエンコードフレームの周期Tが決定されると、制御部901を構成する符号化時刻発生部1001は、参照画像を符号化しようとする場合には、参照画像の間隔Mが与えられているので前の参照画像の時刻にMとTの乗算結果を加算した時刻を発生する。

#### 【0063】

また、「B」ピクチャを符号化する場合、1フレーム前にエンコードした画像が参照画像である場合、前方参照画像の直後の画像をエンコードしようとしているはずであるので、前方参照画像のエンコード時刻にTを加算すればいい。また、1フレーム前にエンコードした画像が「B」である場合には、その「B」の次の時刻の画像をエンコードすればよいので、1フレーム前に発生した時刻にTを加算すればよい。

#### 【0064】

以上のような処理を行うことで、発生される時刻に合わせた時刻で動作するようになり、入力フレーム周期と全く異なったフレーム周期を有するビットストリームをエンコードすることができる。

図11は入力フレームレートの1/2で符号化する場合のタイミングチャートを記載した図である。

図から分かるように、同一フレームを2回エンコードすることで、2倍のフレームレートを有する画像を生成することができる。

#### 【0065】

このように本実施の形態3によれば、外部よりエンコードフレームレート900を入力し、制御部901を構成する符号化時刻発生部1001によって、符号化対象フレームの理想的な入力時刻を求めて発生し、これに合わせて符号化を行うようにしたので、入力フレーム周期とは全く異なるフレーム周期での符号化を行うことができ、符号化時のフレームレートをコントロールすることができる。

【0066】

【発明の効果】

以上のように、本発明にかかる画像符号化装置、及び画像符号化方法によれば、画像メモリに入力画像を書き込む際に、基準となる時刻とともに、使用可能な画像メモリの領域に書き込みを行うようにしたので、時刻情報を基にして符号化をすることで容易に不正ストリームの発生を防止することができ、また、従来からある、リオーダリング用の画像メモリを使用して画像データを蓄積することにより、装置のサイズが大きくなったり、別回路を追加したりする必要もなく、コストアップを招くこともないという効果がある。

【0067】

また、本発明のフレームレート変換装置によれば、リオーダリング用のフレームメモリを用いて符号化前の画像データを、その入力時刻情報とともに一時蓄積し、外部より入力される符号化周期設定信号に従って上記フレームメモリに蓄積された画像データを順次符号化するようにしたので、入力フレーム周期とは全く異なるフレーム周期のビットストリームをエンコードすることができるという効果が得られる。

【図面の簡単な説明】

【図1】

本発明の実施の形態1における映像符号化装置であるMPEGエンコーダの構成を示すブロック図である。

【図2】

上記MPEGエンコーダを構成する制御部の詳細な構成を示すブロック図である。

【図3】

上記MPEGエンコーダを構成するコントロール部の、フレーム同期信号が入力さ

れた場合の動作を示すフローチャートを記載した図である。

【図 4】

上記本実施の形態 1 における、エンコードフレーム番号を指定する制御の動作フローチャートを記載した図である。

【図 5】

本発明の実施の形態 1 における MPEG エンコーダの、入力フレームに対するフレームメモリの使用状況を示すタイミングチャートを記載した図である。

【図 6】

本実施の形態 2 における映像符号化装置の構成を示すブロック図である。

【図 7】

上記実施の形態 2 における映像符号化装置を構成するコントロール部にフレーム同期信号が入力された場合の動作フローチャートを記載した図である。

【図 8】

上記実施の形態 2 における映像符号化装置の、入力フレームに対するフレームメモリの使用状況を示すタイミングチャートを記載した図である。

【図 9】

本発明の実施の形態 3 にかかるフレームレート変換装置の構成を示すブロック図である。

【図 1 0】

上記フレームレート変換装置を構成する制御部の詳細な構成を示すブロック図である。

【図 1 1】

上記フレームレート変換装置において、入力フレームの半分の周期で符号化を行う際のタイミングチャートを記載した図である。

【符号の説明】

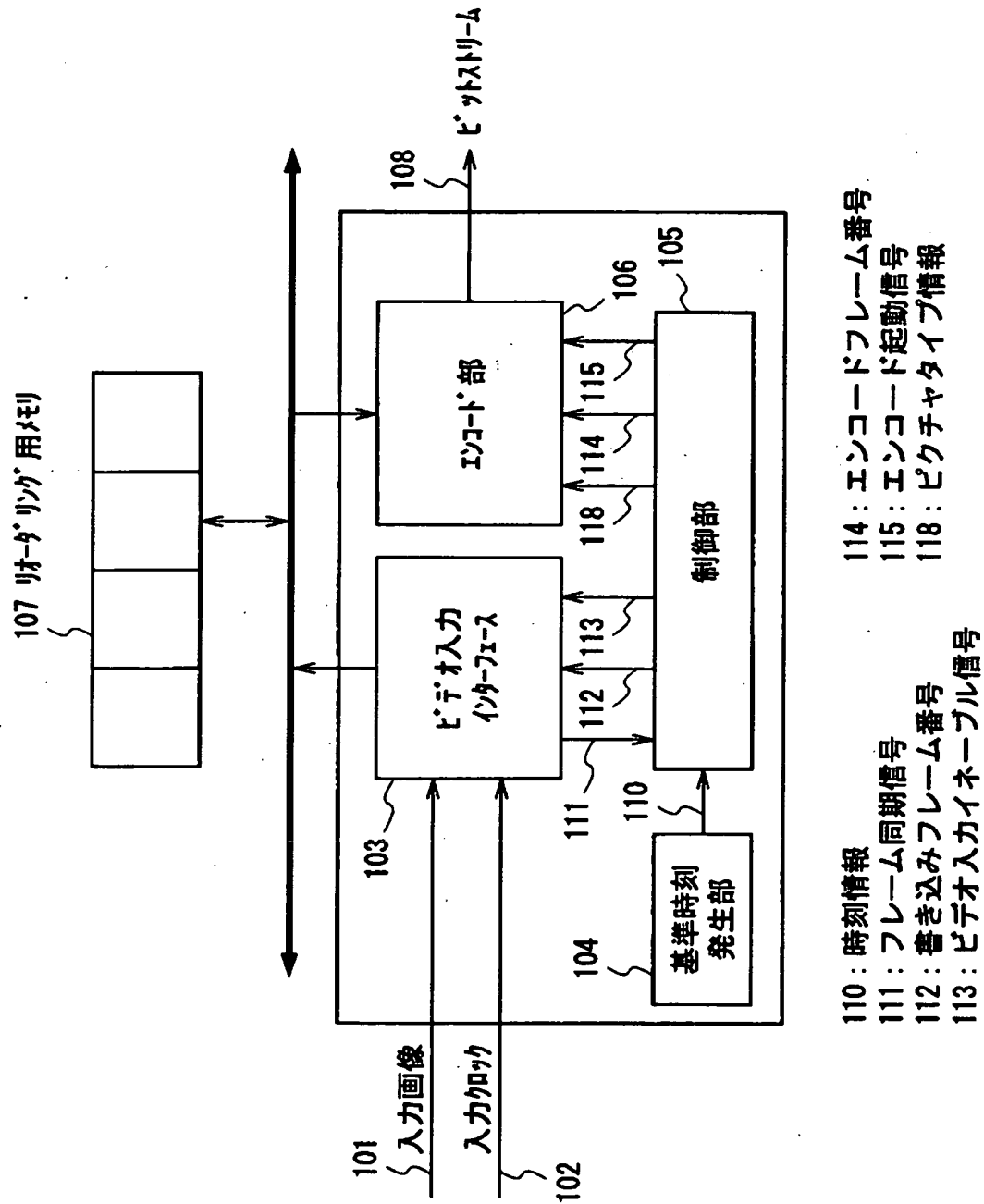
- 1 0 1 入力画像
- 1 0 2 入力クロック
- 1 0 3 ビデオ入力インターフェース
- 1 0 4 基準時刻発生部



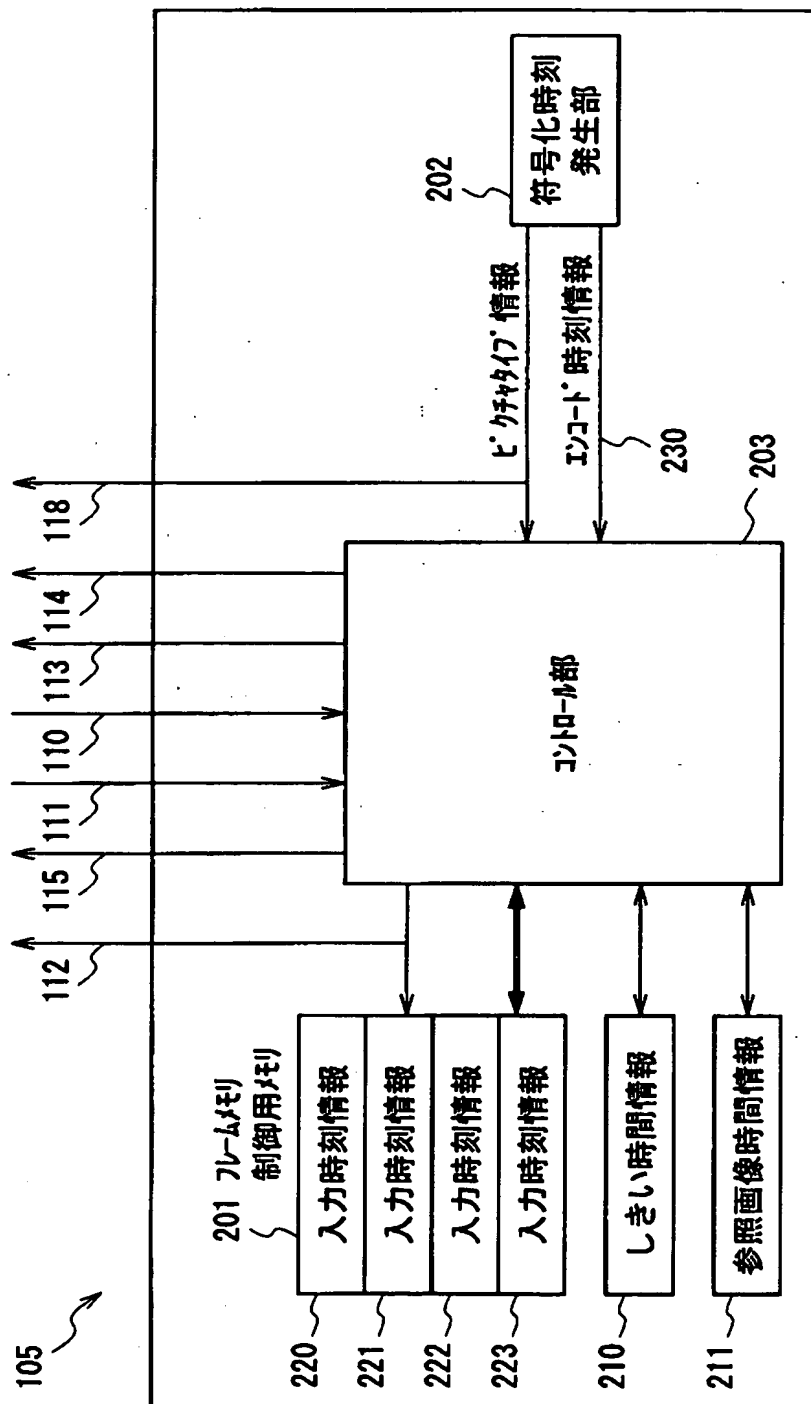
105, 105a, 901 制御部  
106 エンコード部  
107 リオーダーリング用メモリ  
108 ビットストリーム  
110 時刻情報  
111 フレーム同期信号  
112 書き込みフレーム番号  
113 ビデオ入力イネーブル信号  
114 エンコードフレーム番号  
118 ピクチャタイプ情報  
201 フレームメモリ制御用メモリ  
202, 1001 符号化時刻発生部  
203 コントロール部  
220 入力時刻情報  
221 入力時刻情報  
222 入力時刻情報  
223 入力時刻情報  
210 しきい時刻情報  
211 参照画像時刻情報  
230 エンコード時刻情報  
900 エンコードフレームレート

【書類名】 図面

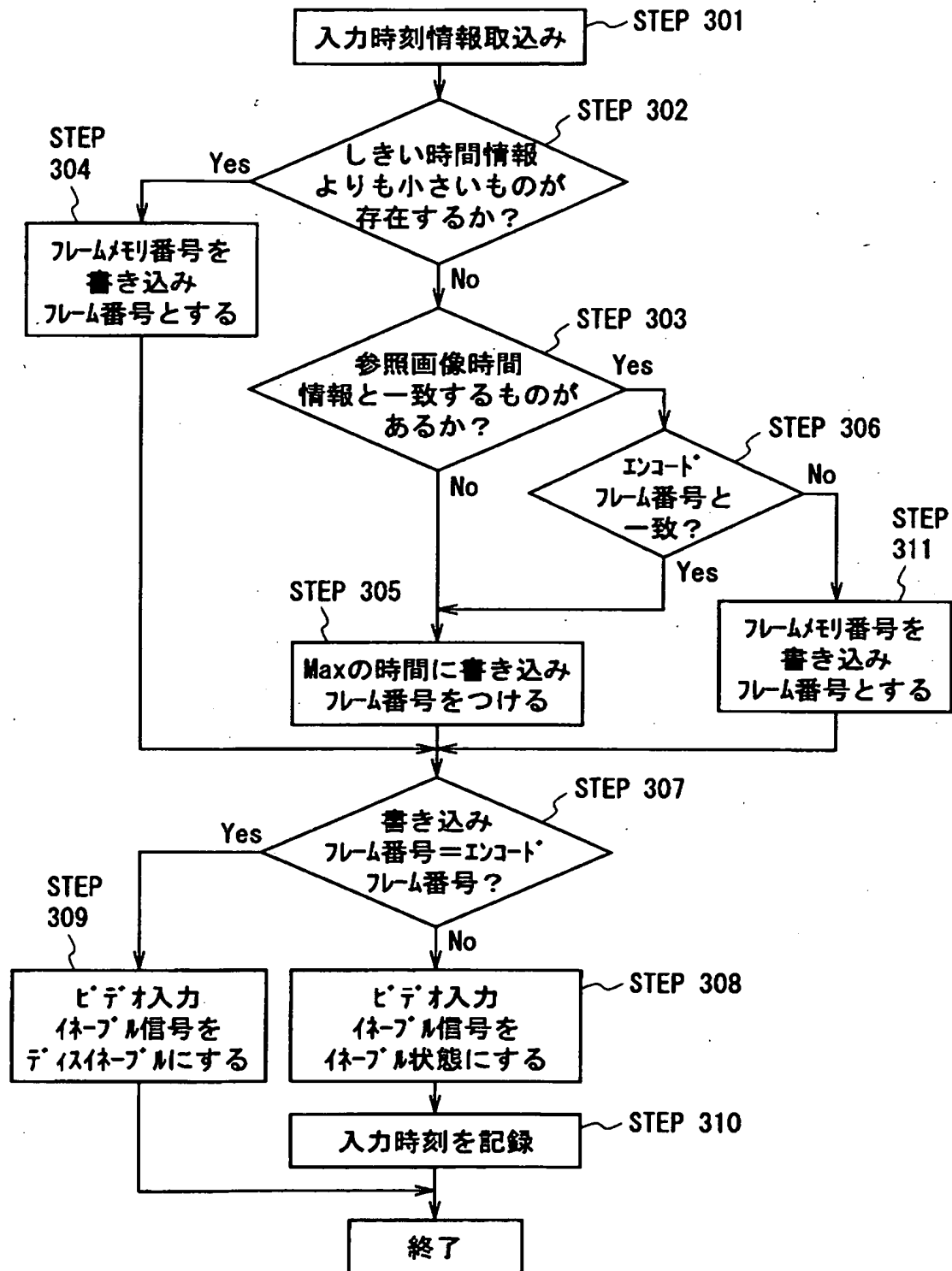
【図 1】



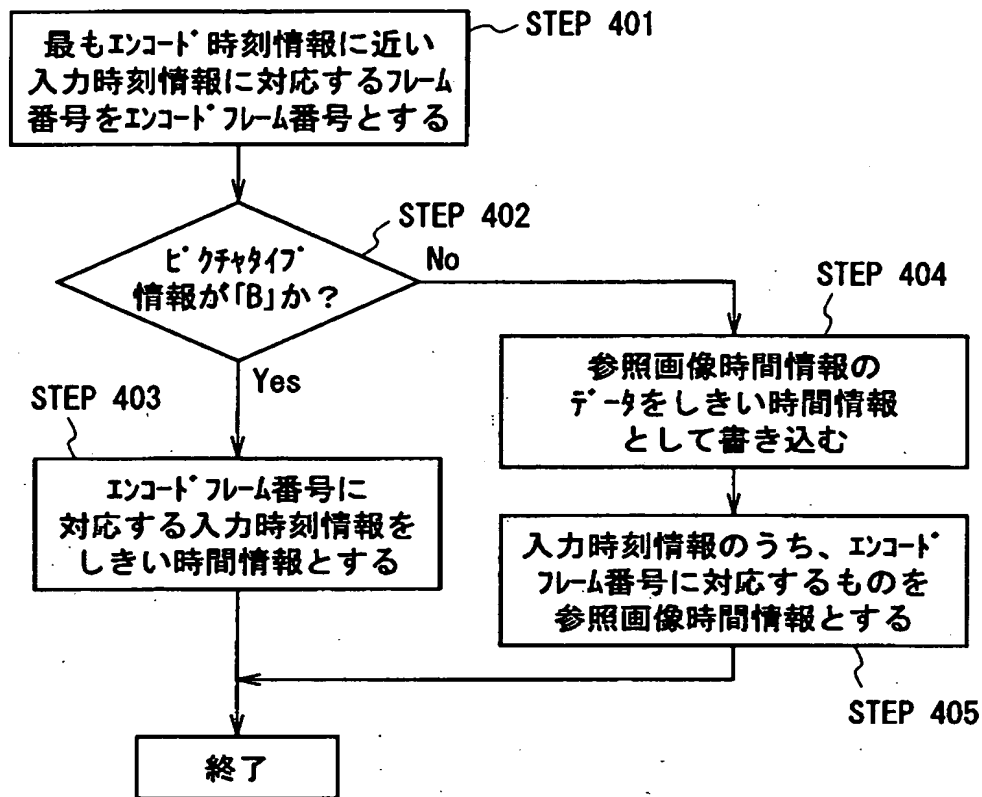
【図 2】



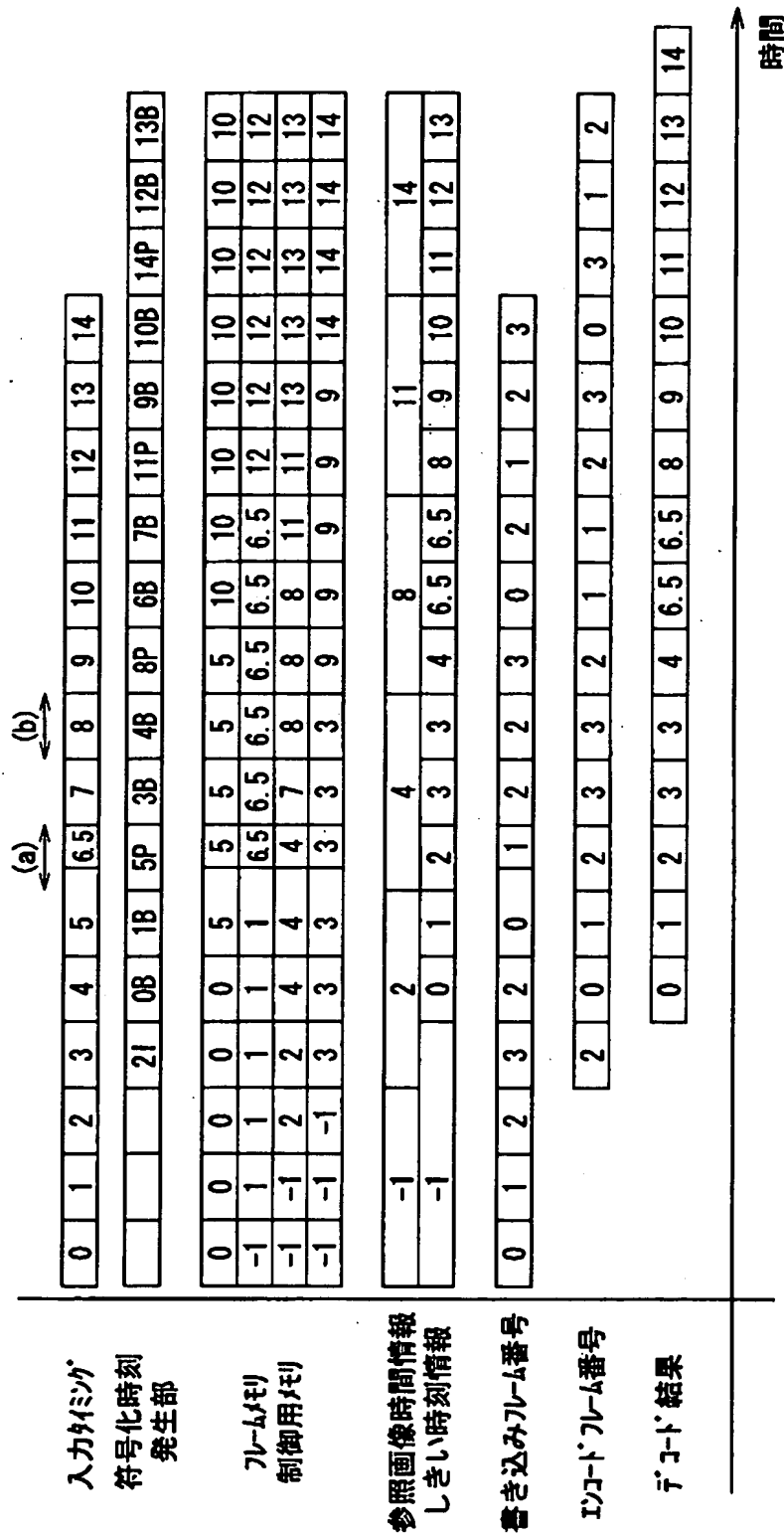
【図 3】



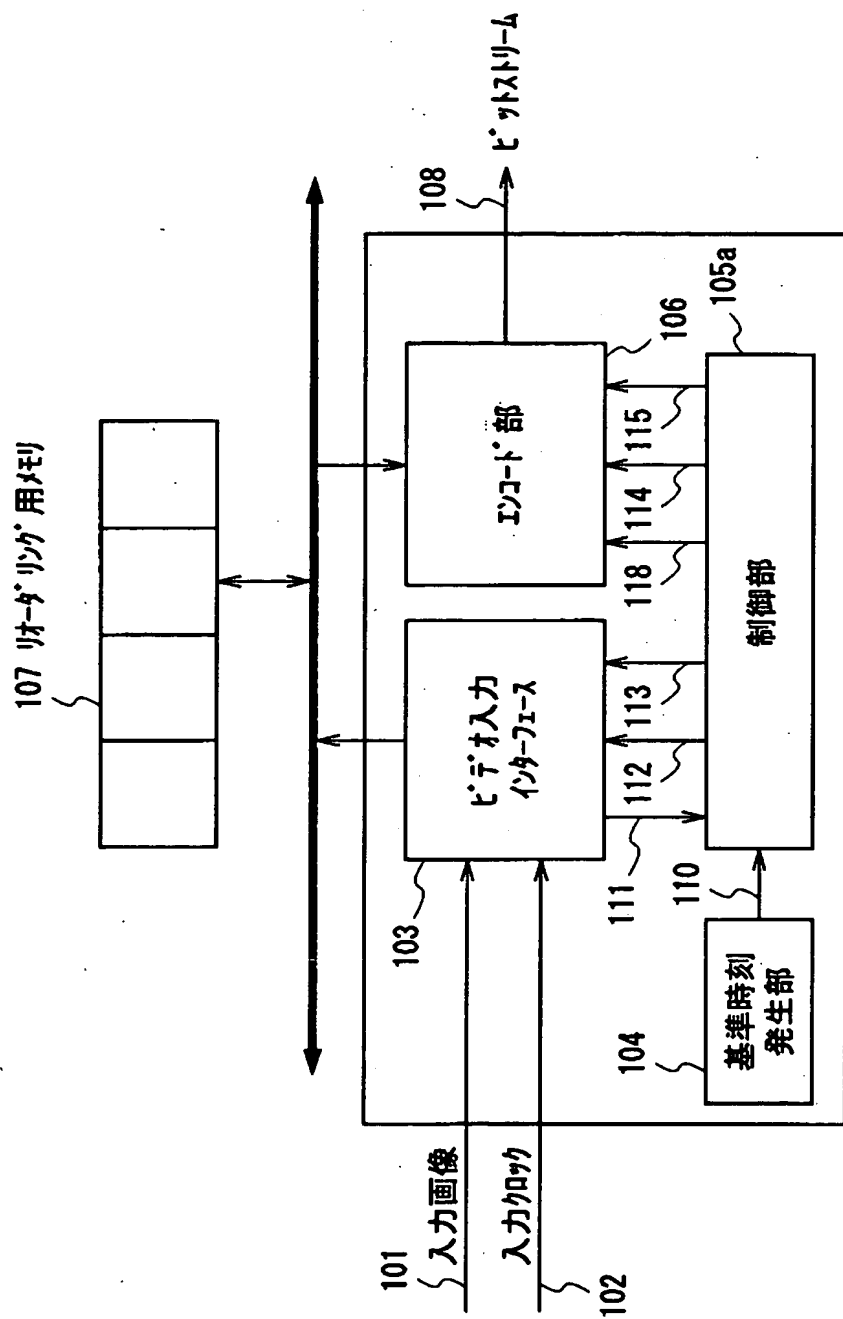
【図 4】



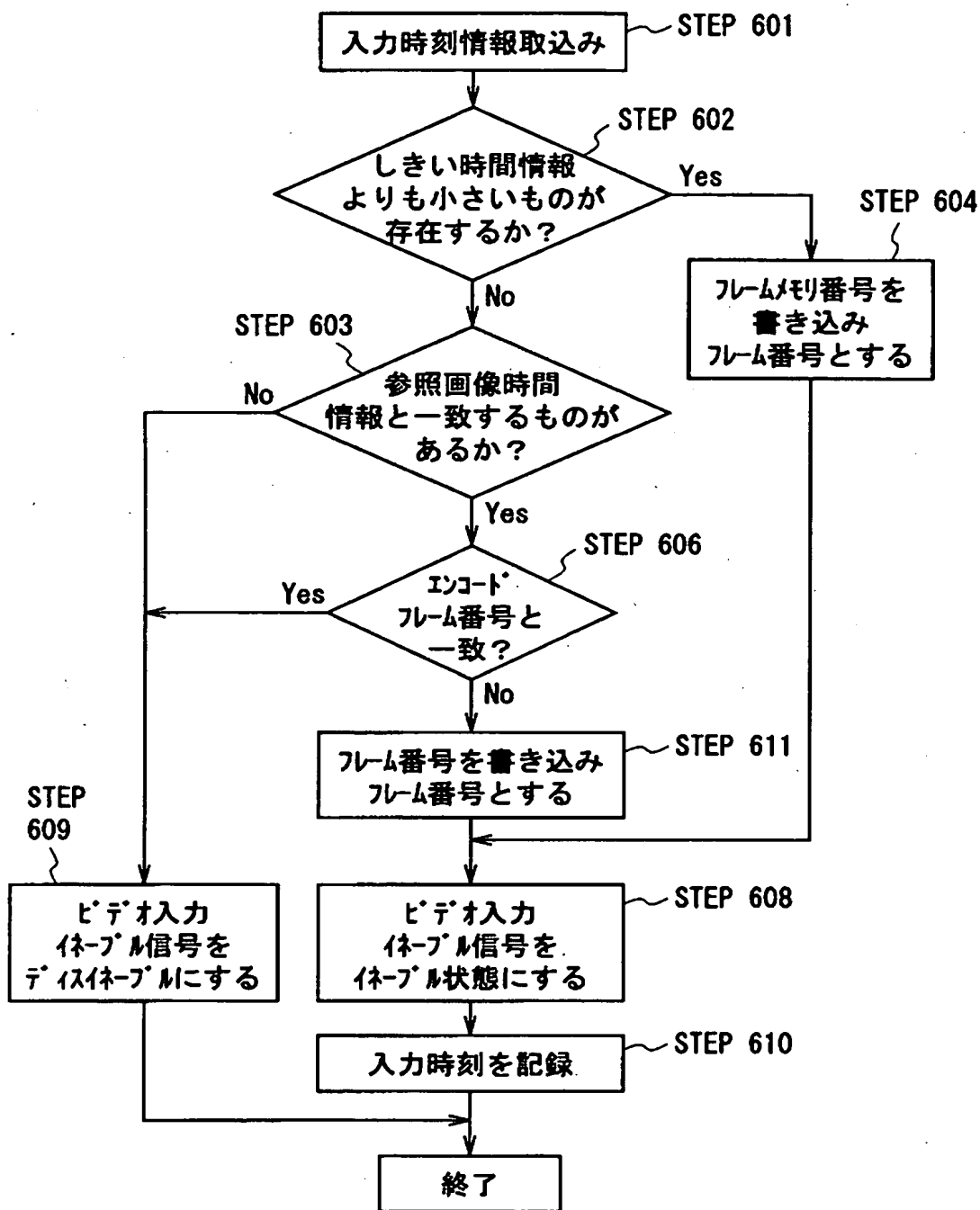
【図 5】



【図 6】

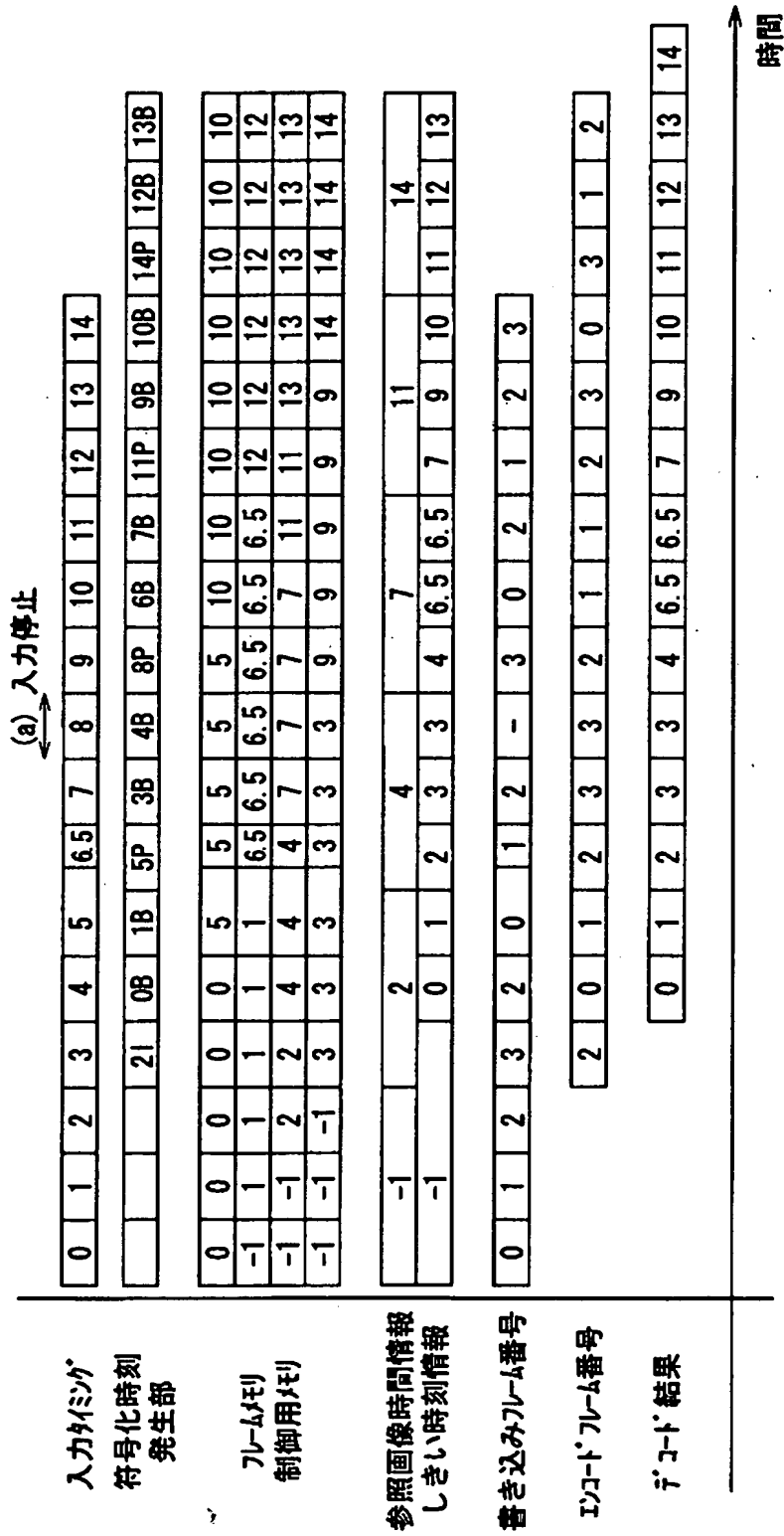


【図 7】





【図 8】



入力タイミング

符号化時刻  
発生部

フレームメモリ

制御用メモリ

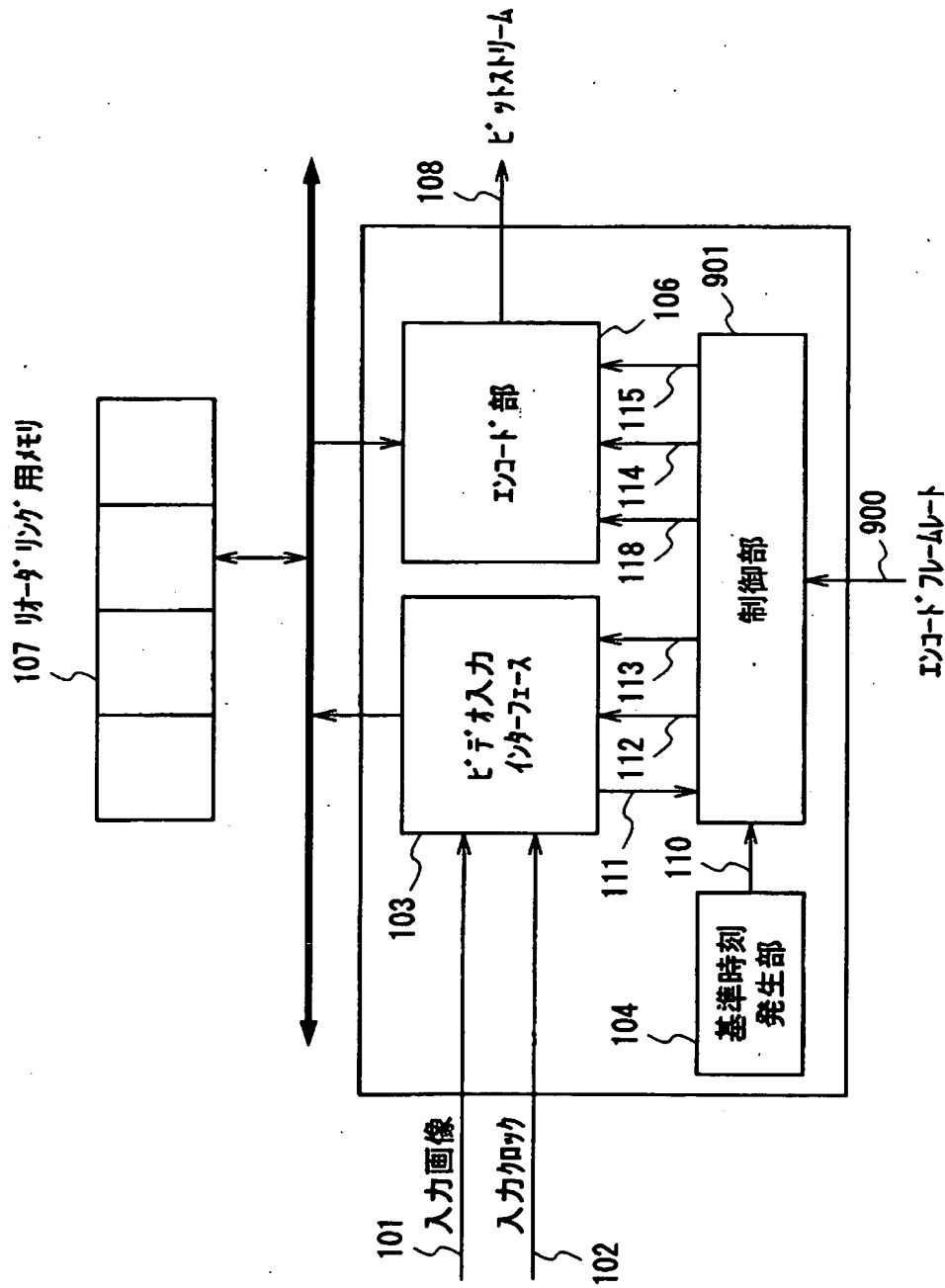
参照画像時間情報  
しきい時刻情報

書き込みフレーム番号

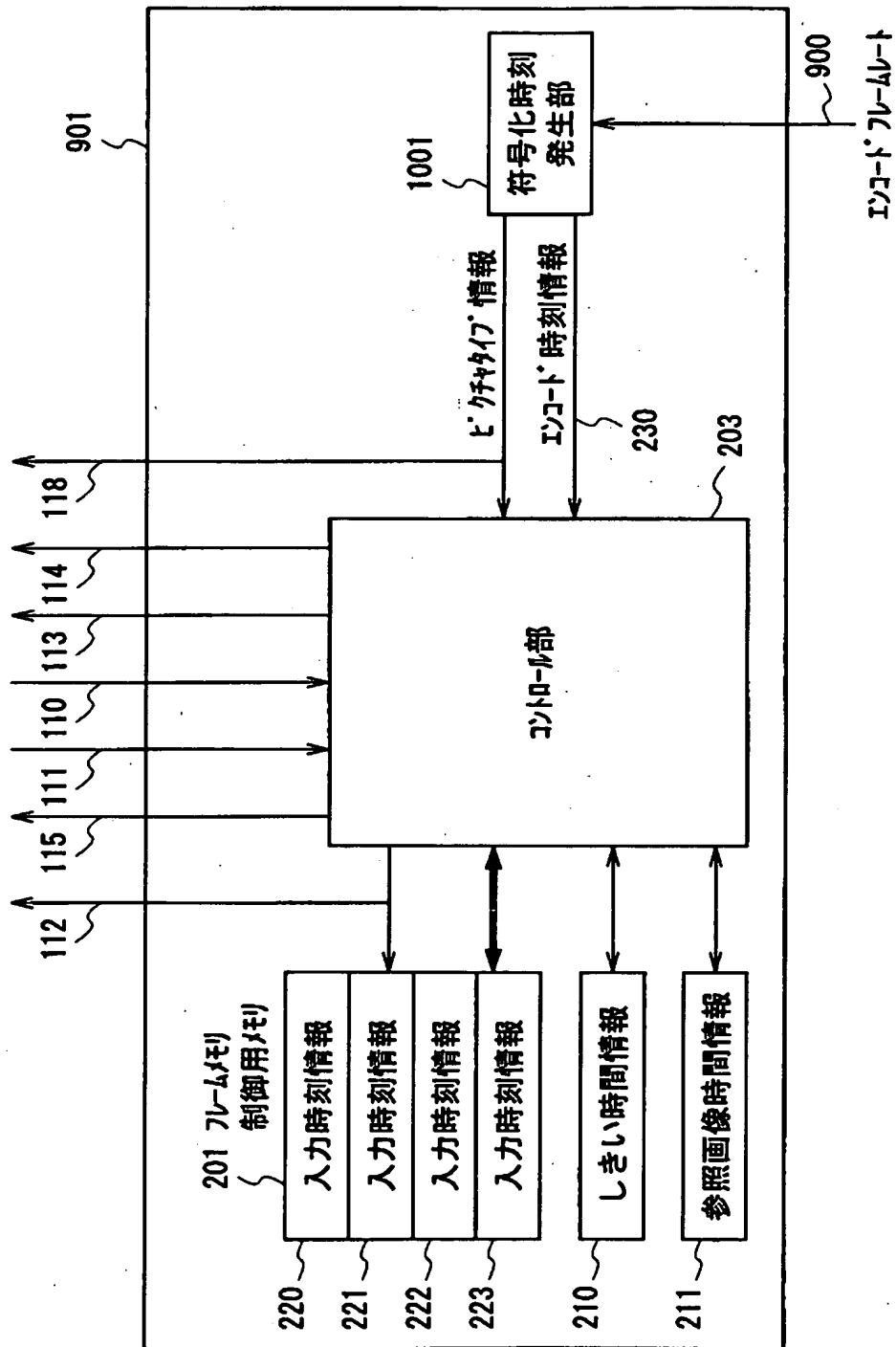
エントリフレーム番号

デコード結果

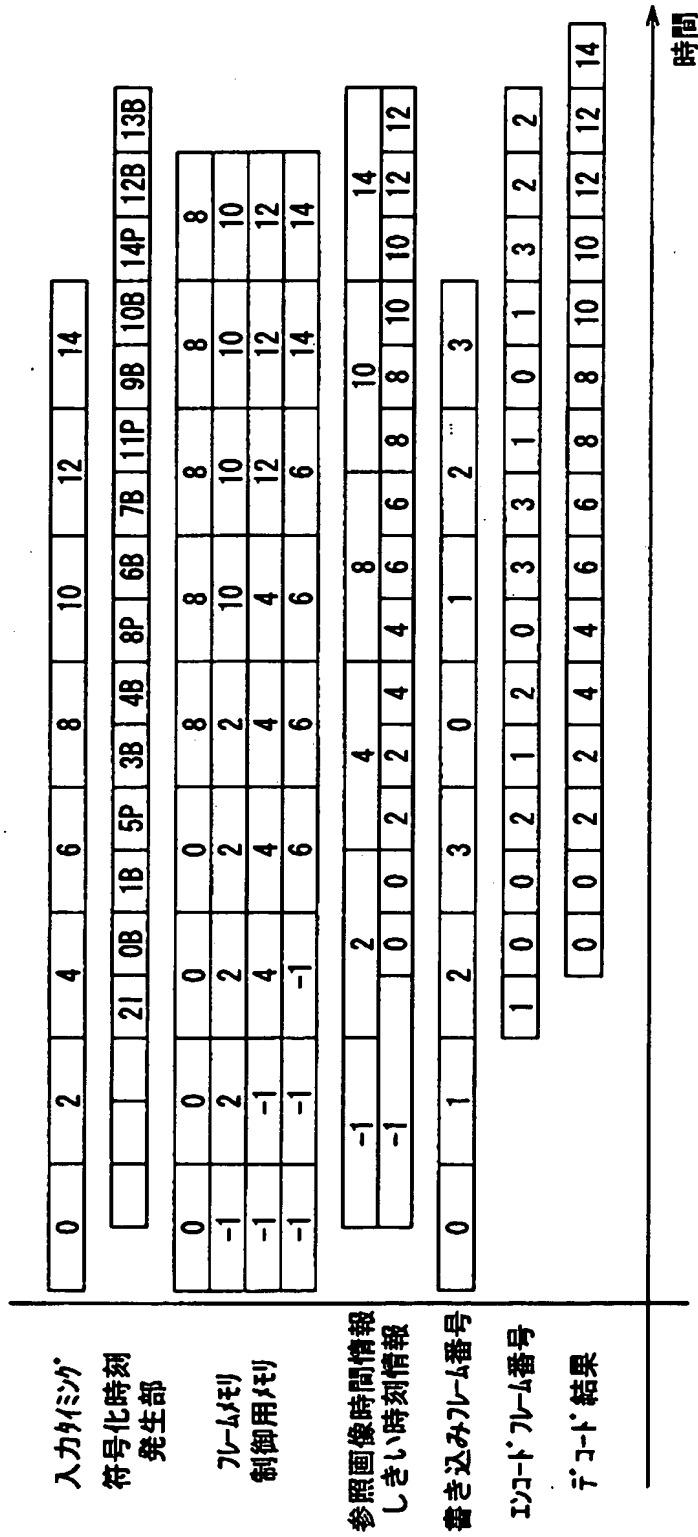
【図 9】



【図10】



【図 11】



【書類名】 要約書

【要約】

【課題】 垂直同期信号の間隔が変化しても、安定した符号化動作を行うことができるエンコーダを提供すること。

【解決手段】 入力画像 1 0 1 がビデオインターフェース 1 0 3 に入力され、リオーダーリング用メモリ 1 0 7 に格納される際に、その入力時刻を基準時刻発生部 1 0 4 とフレーム同期信号 1 1 とを利用して記録し、その情報を用いてエンコード部 1 0 6 が符号化するフレームメモリを指定するように構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社